

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111677

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/08	C			
H 0 4 J 3/06	Z			
H 0 4 L 7/00	A			
27/00		9297-5K	H 0 4 L 27/ 00	Z
			審査請求 未請求 請求項の数 8	F D (全 12 頁)

(21) 出願番号 特願平6-270180

(22) 出願日 平成6年(1994)10月11日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 平松 勝彦

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

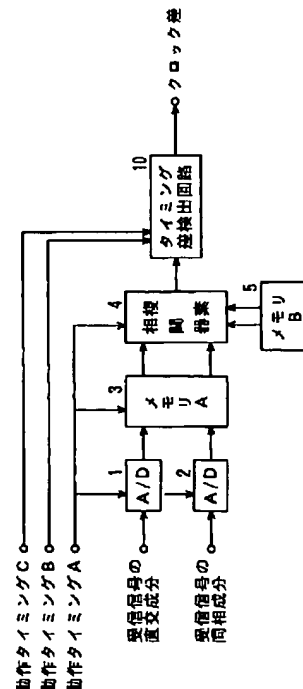
(74) 代理人 弁理士 役 昌明 (外1名)

(54) 【発明の名称】 同期装置

(57) 【要約】

【目的】 受信状態に影響されずに、送信側と受信側とのクロック差を正しく検出することができる同期装置を提供する。

【構成】 A/D変換1、2した受信信号と既知パターンとの相関処理4を行なって送信時に信号に挿入された既知パタンの受信時期を検出し、送信機に対する受信機のタイミングずれを補正する同期装置において、A/D変換のサンプリング周期で行なわれる相関処理により得られた各相関値を領域を分けて記憶する記憶手段10と、この相関値の最大値から既知パタンの受信時期を検出し、送信機に対する受信機のタイミングずれを求める検出手段10とを設ける。相関値の最大値から既知パタンの受信時期を検出しているの、回線状態によらずに、最も確からしい受信時期を検出でき、タイミングずれを的確に補正できる。



## 【特許請求の範囲】

【請求項1】 A/D変換した受信信号と既知パタンとの  
の相関処理を行なって送信時に前記信号に挿入された既  
知パタンの受信時期を検出し、送信機に対する受信機の  
タイミングずれを補正する同期装置において、  
A/D変換のサンプリング周期で行なわれる前記相関処  
理により得られた各相関値を領域を分けて記憶する記憶  
手段と、

前記相関値の最大値から前記既知パタンの受信時期を検  
出し、送信機に対する受信機のタイミングずれを求める  
検出手段とを設けたことを特徴とする同期装置。

【請求項2】 前記検出手段の求めたタイミングずれを  
補正する補正手段を設けたことを特徴とする請求項1に  
記載の同期装置。

【請求項3】 前記補正手段が、前記A/D変換のサン  
プリング周期よりも短い時間幅で前記タイミングずれの  
補正を行なうことを特徴とする請求項2に記載の同期装  
置。

【請求項4】 前記補正手段が、前記検出手段の求めた  
タイミングずれの大きさが閾値を超えたときに補正信号  
を出力する補正信号出力手段と、前記補正信号を用いて  
前記タイミングずれを補正する補正実行手段とを備える  
ことを特徴とする請求項2または3に記載の同期装置

【請求項5】 前記補正実行手段が、同一周期で一定数  
まで繰返し計数するカウンタを備え、前記カウンタが、  
前記補正信号に応じて、数えはじめの値を変更すること  
を特徴とする請求項4に記載の同期装置。

【請求項6】 前記カウンタが、前記A/D変換のサン  
プリング周期よりも短い周期で計数することを特徴とす  
る請求項5に記載の同期装置。

【請求項7】 前記閾値を、同期引き込みの開始時には  
小さく、その後増加するように変更する閾値変更手段  
を設けたことを特徴とする請求項4に記載の同期装置。

【請求項8】 前記検出手段の求めたタイミングずれの  
大きさを強調する重み付け手段を設けたことを特徴とす  
る請求項4に記載の同期装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、送信機とのクロックの  
ずれを検出して補正する受信機の同期装置に関し、特  
に、受信状態の影響を受けずに正しく動作するように構  
成したものである。

## 【0002】

【従来の技術】近年、通信のデジタル化は目ざましい  
勢いで進んでいる。通信機器では送信機の基本周波数と  
受信機の基本周波数を正確に合わせることが困難であ  
る。そこで、送信信号に既知のパタンを加えて送信し、  
受信側でその既知のパタンを検出することにより送信機  
と受信機とのクロック差を検出し、受信機の基本周波数  
を送信側に合わせることが行なわれている。このため

に、クロックの差を検出する回路とタイミング補正を行  
なう回路とは非常に重要である。

【0003】クロック差の検出機能を備えた従来の同期  
装置の例を図11に示す。この装置は、受信信号の直交  
成分をA/D変換するA/D変換器1と、受信信号の同  
相成分をA/D変換するA/D変換器2と、変換された  
デジタルデータを格納するメモリA3と、既知の信号  
パタンを格納しているメモリB5と、メモリA3に格納  
された信号とメモリB5に格納された信号との複素相関  
を求める複素相関器4と、複素相関器4で求められた相  
関結果を閾値と比較する比較回路6と、比較回路6から  
出力される比較結果を順次領域を変えて格納するメモリ  
C8と、比較結果のメモリC8への格納位置を振り分け  
る切換スイッチ7と、既知パタンの実際の受信時刻と受  
信機の仮定している既知パタンの受信時刻との差からタ  
イミングずれを検出するタイミング差検出回路9とを備  
えている。

【0004】この装置のA/D変換器1、2、メモリA  
3及び複素相関器4は動作タイミングAに同期して動作  
し、切換スイッチ7は動作タイミングBに、また、タイ  
ミング差検出回路9は動作タイミングCに同期して動作  
する。

【0005】この同期装置では、既知の送信パタンの受  
信された時刻を検出するために、受信信号とメモリB5  
に格納されている既知のパタンとの複素相関を複素相関  
器4で求める。この複素相関演算の結果は、タイミング  
が合っているときは1に近い値を取り、タイミングが前  
方または後方にずれている場合はタイミングが最も合っ  
ている時刻を中心にほぼ対称な形となる。

【0006】この複素相関結果をある閾値と比較して、  
閾値よりも大きいときは、“1”、それ以外は“0”に  
なるように量子化すると、“1”が連続して出力する時  
刻の中心の時刻が既知のパタンの受信時刻となる。タイ  
ミング差検出回路9は、この既知のパタンの受信時刻と  
受信機の仮定している既知のパタンの受信時刻との差か  
らタイミング差を検出して出力する。

## 【0007】

【発明が解決しようとする課題】しかし、従来の同期装  
置では、受信信号と既知パタンとの相関結果を一定の閾  
値と比較して“1”または“0”の量子化データを得て  
いるため、回線状態の良、不良によって量子化データの  
検出に誤差が発生する場合がある。つまり、回線状態が  
良好で受信レベルが高い場合には、相関結果が大きく現  
れるため、受信信号の既知パタンに対する相関が低くても  
量子化データが“1”になったり、逆に、回線状態が  
不良で受信レベルが低い場合には、相関結果が小さく現  
れるために、受信信号が既知パタンと一致しているとき  
でも“0”となるケースがある。

【0008】本発明は、こうした従来の問題点を解決す  
るものであり、受信状態に影響されずに、送信側と受信

3

側とのクロック差を正しく検出することができ、また、この検出結果を基に的確にタイミングを補正することができる同期装置を提供することを目的としている。

【0009】

【課題を解決するための手段】そこで、本発明では、A/D変換した受信信号と既知パタンとの相関処理を行なって送信時に信号に挿入された既知パタンの受信時期を検出し、送信機に対する受信機のタイミングずれを補正する同期装置において、A/D変換のサンプリング周期で行なわれる相関処理により得られた各相関値を領域を分けて記憶する記憶手段と、この相関値の最大値から既知パタンの受信時期を検出し、送信機に対する受信機のタイミングずれを求める検出手段とを設けている。

【0010】また、検出手段の求めたタイミングずれを補正する補正手段を設けている。

【0011】また、補正手段が、A/D変換のサンプリング周期よりも短い時間幅でタイミングずれの補正を行なうように構成している。

【0012】また、補正手段を、検出手段の求めたタイミングずれの大きさが閾値を超えたときに補正信号を出力する補正信号出力手段と、この補正信号を用いてタイミングずれを補正する補正実行手段とで構成している。

【0013】また、補正実行手段を、同一周期で一定数まで繰返し計数するカウンタで構成し、このカウンタが、補正信号に応じて、数えはじめの値を変更するように形成している。

【0014】また、このカウンタが、A/D変換のサンプリング周期よりも短い周期で計数するように構成している。

【0015】また、閾値を、同期引き込みの開始時には小さく、その後増加するように変更する閾値変更手段を設けている。

【0016】さらに、検出手段の求めたタイミングずれの大きさを強調する重み付け手段を設けている。

【0017】

【作用】そのため、相関値の最大値から既知パタンの受信時期を検出しているので、回線状態によらずに、最も確からしい受信時期を検出することができ、タイミングずれを的確に補正することができる。

【0018】タイミングずれの補正の刻み幅が小さい程、的確な補正が可能になるが、A/D変換のサンプリング時間幅を狭くしてそれを実現しようとすると、高速動作の素子が必要になり、装置の価格、消費電力がともに上昇する。この補正の刻み幅を補正手段の機能を通じて小さくすることにより、こうしたデメリットを生ぜずに正確なタイミング補正が可能になる。例えば、補正手段を構成するカウンタの計数の周期を半分にするによって、1つのカウンタ値を補正したときの補正の刻み幅を半分にすることができる。

【0019】また、検出手段の求めたタイミングずれの

4

検出値または累積値の大きさが閾値を超えた場合に補正信号を出力し、この補正信号に基づいてタイミング補正を実行する装置では、閾値を同期引き込み当初には小さく、その後大きくすることにより、同期引き込み直後のタイミングずれが大きい時期に、迅速なタイミング補正が行なわれ、動作が安定した段階で緩やかな補正に移行する。

【0020】また、検出手段の求めたタイミングずれの検出値に重み付けを加えて、タイミングずれを強調した場合には、ずれが大きいときに閾値を直ぐに超えるため、迅速なタイミング補正が実行される。逆に、ずれが小さい状態では、安定的なタイミング補正が行なわれる。

【0021】

【実施例】

（第1実施例）第1実施例の同期装置は、図1に示すように、従来の同期装置（図11）と同様に、A/D変換器1、2、メモリA3、メモリB5及び複素相関器4を具備するとともに、複素相関器4によって算出された相関値の最大値から既知パタンの受信時刻を検出するタイミング差検出回路10を備えている。

【0022】このタイミング差検出回路10は、図3に示すように、複素相関器4から出力される相関値を順次領域を変えて格納するメモリD12と、相関値のメモリD12への格納位置を振り分ける切換スイッチ11と、メモリD12に格納された相関値の中の最大値を検出する最大値検出回路13とを具備している。

【0023】また、送信信号のフレームフォーマットを図2に示している。この例では、クロック差を検出するための既知のパタン（同期ワード1、2、3。通常、この既知の信号を同期ワードや同期シンボルと呼んでいる）が送信信号の中央に配置されている。シンボル長はNシンボルであり、この例ではN=25である。

【0024】この同期装置のA/D変換器1、2は、送信機と受信機とのクロック差を検出するために、受信信号を送信機の1シンボルの時間間隔のn倍のサンプリングレートでサンプリングしてデジタルデータに変換する。このサンプリングを一般にシンボルレートのn倍でオーバーサンプリングと言う。本実施例ではn=4、即ち、4倍のオーバーサンプリングを行なう。一般的にこのオーバーサンプリング比が高いほど精度良くタイミングずれを検出できるが、装置化する場合には高価格、高消費電力となる。

【0025】A/D変換器1、2のサンプリングタイミングは、動作タイミングAに同期して行なわれ、A/D変換器1、2で変換されたデジタルデータは、動作タイミングAによってメモリA3に格納される。

【0026】送信信号の中に同期ワードがMシンボル含まれている場合、複素相関器4は、メモリA3に格納された受信信号から同期ワード分（Mシンボル）のデータ

5

を取り出して、メモリB5に蓄えられている既知の同期ワードとの間の相関演算を行なう。

$$s(t) = I(t) + jQ(t)$$

(但し、 $I(t)$  : 同相成分、 $Q(t)$  : 直交成分)と表す。メモリA3には時刻 $nT$ のデータから $M$ シンボルのサンプルが蓄えられており、これを $I(iT) + jQ(iT)$ と表す。また、メモリB5に蓄えられている※

6

\*【0027】いま、受信信号 $s(t)$ を式1によって、

(式1)

※既知のパタンの同相成分を $I_0(t)$ 、直交成分を $Q_0(t)$ とすると、相関演算は式2によって行なわれる。

【数2】

$$\begin{aligned} u &= \frac{1}{\sqrt{M}} \sum_{i=0}^{M-1} \{ I(iT) + jQ(iT) \} \{ I_0(iT) - jQ_0(iT) \} \\ &= \frac{1}{\sqrt{M}} \sum_{i=0}^{M-1} \{ I(iT)I_0(iT) + Q(iT)Q_0(iT) + j(I_0(iT)Q(iT) - Q_0(iT)I(iT)) \} \\ &= \frac{1}{\sqrt{M}} \sqrt{Ic + Qc} \\ Ic &= \sum_{i=0}^{M-1} \{ I(iT)I_0(iT) + Q(iT)Q_0(iT) \} \\ Qc &= \sum_{i=0}^{M-1} \{ I_0(iT)Q(iT) - Q_0(iT)I(iT) \} \end{aligned}$$

式2

メモリA3に蓄えられた $i$ シンボル目のデータが同期ワードであるとき、その同相成分は $I_0(iT)$ 、直交成分は $Q_0(iT)$ である。従って、同期ワードの受信時刻においては、相関演算の結果は、式2より $u=1$ となる。このように相関演算の結果は、送信信号と受信信号との波形が最も似ているとき、即ち、タイミングが最も合っているときに1に近づく。

【0028】この複素相関器4の動作は動作タイミングAに同期して行なわれる。

【0029】タイミング差検出回路10では、複素相関器4から出力された相関結果の内、受信機の仮定している最適タイミングを中心として、その前後のある時間分の相関値だけをメモリD12の各領域に順番に格納する。このメモリD12のデータ更新は動作タイミングBに同期して行なわれる。

【0030】最大値検出器13は、このメモリD12に格納された相関結果の中から、既知パタンの受信時刻を表すと思われる最も確からしい相関値を検出する。本実施例では相関値は理想的な場合は1であるから、相関値の中★

$$\Delta T = x - y$$

【0033】いま、メモリD12の各領域の中心に位置する領域、つまり、受信機の仮定している最適タイミングの相関値が格納される領域のインデックスを0とし、その前後の各領域にそれぞれ、前方の領域には正の、後方の領域には負の連続番号のインデックスを付す。カウンタのカウンタ値が一定数に達したときの複素相関器4の出力する相関結果が、このメモリD12の最も大きいインデックスの領域に格納され、カウンタ値の増加に伴って相関結果の格納領域が順番に隣に移り、カウンタ値が $x$ のときの相関値がインデックス0の領域に格納されるものとする。

【0034】こうした順序で格納された相関値の最大値☆50

★で最も大きい値を取る時刻が最も確からしい受信時刻となる。最大値検出器13は、相関値の中の最大値を検出し、受信機の仮定している最適タイミングと、検出した最大値に対応する最適タイミングとのタイミング差を出力する。最大値検出器13のこの動作は、動作タイミングCに同期して行なわれる。

【0031】このタイミング差は次のように求めることができる。

【0032】A/D変換器1、2のサンプリングクロックが入力する度にカウントアップし、0から $n \times N - 1$ の間の値を取ることができるカウンタを用意し、このカウンタのカウンタ値に応じてメモリD12への相関値の格納を制御することにする。但し、 $n$ はA/D変換器のオーバーサンプリング比、 $N$ は1フレームのシンボル数である。カウンタの値の $x$ の時が受信機の仮定している最適タイミングであり、また、カウンタの値が $y$ の時に実際の同期ワードが受信されたとすると、クロックずれは式3で与えられる。

(式3)

☆がインデックス $i$ の領域に在ることが検出されたとすると、その最大値が格納された、実際の同期ワードの受信時刻に対応するカウンタ値 $y$ は、 $x - i$ となる。従って、式3から求めたタイミング差は $i$ となる。つまり、最大値検出器13は、相関値の最大値を検出し、それを格納している領域のインデックスを出力することによって、タイミング差を出力することができる。

【0035】このように、実施例の同期装置では、相関値の最大値を検出し、これを基に同期ワードの最も確からしい受信時刻を求めている。そのため、相関結果と閾値との比較で既知のパタンの受信時刻を検出する従来の装置のように、受信状態が良い場合には誤って既知パタ

ンを検出し、受信状態が悪い場合には既知パタンを検出しないという事態が無くなり、受信状態に依らずに安定して最も確からしいタイミングを検出することができる(第2実施例)第2実施例の同期装置は、検出したタイミング差に基づいてタイミングの補正を実行する。

【0036】この同期装置は、図4に示すように、タイミング差検出回路10によって検出されたタイミング差を用いてカウントを補正する補正付きループカウンタ14と、補正付きループカウンタ14から出力される補正済のカウント値に基づいてタイミング信号を出力するデコーダ15とを備えている。また、この補正付きループカウンタ14には、A/D変換器1、2のサンプリングクロックと同じ動作タイミングAが与えられ、また、タイミング差検出回路10には、メモリD12の更新及びタイミング差の検出の動作のために、デコーダ15から補正済のカウント値に基づいて形成されたタイミング信号が出力される。その他の構成は第1実施例の装置と変わりがない。

【0037】補正付きループカウンタ14は、図5に示すように、1フレームごとに検出されるクロック差と前フレームまでのクロック差とを加算する加算器A16と、加算器A16から出力され、次に加算器A16で加算されるデータを記憶するメモリE17と、加算器A16の出力を閾値と比較する比較器A18と、補正したカウント値を出力する加算器B20と、加算器B20の出力を記憶するメモリF21と、加算器B20への接続を比較器A18またはメモリF21に切換える切換えスイッチ19と、加算器B20のカウント値が $n \times N - 1$ に達したときに切換えスイッチ19の接続を切換え、また、メモリF21をリセットする比較器B22とを備えている。

【0038】この加算器A16は、メモリE17と共働して、入力するクロック差を加算し、その累積加算値を比較器A18に出力する。比較器A18は、この加算結果を閾値( $z > 0$ )と比較する。この比較器A18は、以下のような動作をする。

【0039】(a) 加算結果 $> Z$

加算値A16の出力する加算結果が $Z$ より大きいときは、受信機の仮定している最適タイミングに対して同期ワードが前方にずれて受信されているので、受信機のタイミングを前方に補正する必要がある。このとき比較器A18は、補正值として0を出力する。同時に比較器A18はメモリE17をリセットする。

【0040】(b) 加算結果 $< -Z$

加算値A16の出力する加算結果が $-Z$ より小さいときは、受信機の仮定している最適タイミングに対して同期ワードが後方にずれて受信されているので、受信機のタイミングを後方に補正する必要がある。このとき比較器A18は、補正值として $-2$ を出力する。同時に比較器A18はメモリE17をリセットする。

【0041】(c)  $Z \geq$  加算結果 $\geq -Z$

加算値A16の出力する加算結果が $Z$ と $-Z$ との間にある

ときは、比較器A18は補正值として $-1$ を出力する。

【0042】加算器B20は、A/D変換器1、2のサンプリングクロックと同じ動作タイミングAで、比較器A18またはメモリF21の出力値に1を加算し、カウント値として出力する。通常の状態では、加算器B20は、メモリF21側に接続され、メモリF21に記憶された前回のカウンタ値に1を加算することにより、カウンタ値を1ずつインクリメントする。

【0043】カウンタ値が $n \times N - 1$ 、つまり、1フレーム分のサンプリングクロック数に達すると、比較器B22は、切換えスイッチ19の接続を比較器A18側に切換え、また、メモリF21をリセットする。

【0044】このとき、比較器A18が補正值として0を出力している場合(前記(a)の場合)には、加算器B20は、その値0に1を加算して1をカウンタ値として出力する。比較器B22は、カウンタ値が $n \times N - 1$ 以外の値になったため、切換えスイッチ19の接続をメモリF21側に切換える。こうして、加算器B20は、1、2、 $\dots$ 、 $n \times N - 1$ とカウントすることになる。

【0045】また、比較器A18が補正值として $-2$ を出力している場合(前記(b)の場合)には、同じように、加算器B20は、 $-1$ 、0、1、 $\dots$ 、 $n \times N - 1$ をカウントする。

【0046】また、累積クロック差の絶対値が閾値以下であり、比較器A18が補正值として $-1$ を出力している場合には、加算器B20は、0、1、 $\dots$ 、 $n \times N - 1$ をカウントする。

【0047】このように補正付きループカウンタ14で補正されたカウンタ値はデコーダ15に送られ、デコーダ15は、このカウンタ値に基づいてフレームタイミングを出力し、また、タイミング差検出回路10におけるメモリD12及び最大値検出器13に対する更新タイミングまたはタイミング差検出タイミングを出力する。その結果、メモリD12では、同期ワードの受信時刻における相関値が、受信機の仮定している最適タイミングの格納領域(インデックス0)に格納されるようになり、タイミングずれが解消する。

【0048】このように、第2実施例の同期装置では、受信信号から検出されたタイミングずれの検出値に基づいて、受信機のタイミングを送信機のタイミングに合わせるタイミング補正を行なうことができる。

【0049】(第3実施例)第3実施例の同期装置では、タイミングのずれを細かい幅で補正することができる。このタイミング補正の刻み幅が大きい場合には、受信データの検波のタイミングを大まかな範囲でしか補正することができないため、受信性能の劣化を招くことになる。タイミングのずれを細かく補正するためには、A/D変換器1、2のサンプリングレートを上げてタイミング補正の刻み幅を小さくすることが必要であるが、しかし、そうすると、装置化する場合に高速動作の素子が

必要となり、価格が高くなり消費電力も大きくなる。

【0050】第3実施例の同期装置は、こうした点に鑑み、A/D変換器のサンプリングレートを変えることなく、タイミングずれを小さい刻みで補正できるように構成している。

【0051】この同期装置では、図6に示すように、補正付きループカウンタ23に対して、第2実施例のA/D変換器におけるサンプリングクロックの整数(m)倍のクロック周波数を有する動作タイミングAが供給され、また、A/D変換器1、2、メモリA3、複素相関器4及びタイミング差検出回路10に対して、デコーダ15の発する動作タイミング信号が与えられる。その他の構成は第2実施例の装置(図4)と変わりがない。

【0052】また、補正付きループカウンタ23は、図7に示すように、構成ブロック的には第2実施例(図5)のカウンタと同じである。ただ、加算器B28は、動作タイミングAによって、図5の装置のm倍の速さでカウントアップし、 $n \times m \times N - 1$ までのカウンタ値を出力する。また、比較器B30は、カウンタ値が $n \times m \times N - 1$ に達した時点で、切換スイッチ27の比較器A26側への切

換えと、メモリF29のリセットとを行なう。

【0053】デコーダ15は、補正付きループカウンタ23から出力されたカウンタ値を受けて、各部への動作タイミングを次のように出力する。

【0054】A/D変換器1、2、メモリA3及び複素相関器4に対しては、第2実施例の装置におけるA/D変換器1、2のサンプリングクロックと実質的に同じ周期で、つまり、カウンタ値(CNT)がmだけインクリメントする毎に動作タイミングまたは更新タイミングを出力する。

【0055】また、タイミング差検出回路10のメモリD12に対しては、  

$$CNT = TMG1(i) \times m$$
 (TMG1(i)は、タイミング差検出回路10のメモリD12に対する更新タイミング( $i = 0, 1, \dots$ )の関係を満たすときに更新タイミングを出力する。

【0056】また、タイミング差検出回路10の最大値検出器13に対しては、

$$CNT = TMG2 \times m$$

(TMG2は、タイミング差検出タイミング)の関係を満たすときにタイミング差検出タイミングを出力する。

【0057】最大値検出器13からタイミングずれ検出値が出力されると、補正付きループカウンタ23の加算器A24は、この検出値が入力する毎に、それを加算して累積値を比較器A26に出力し、比較器A26は、加算器A24の加算結果を閾値(Z)と比較して補正値を出力する。この補正値は第2実施例の場合と同じであり、加算値A16の出力する加算結果がZより大きいときは、補正値として0を出力し、加算値A16の出力する加算結果が-Zより小さいときは、補正値として-2を出力し、また、加

算値A16の出力する加算結果がZと-Zとの間にあるときは、補正値として-1を出力する。

【0058】一方、比較器B30は、加算器B28の出力するカウンタ値が $n \times m \times N - 1$ に達すると切換スイッチ27を比較器A26側に切換え、カウンタ値がそれ以外のときは加算器B28にメモリF29を接続する。

【0059】その結果、加算器B28は、比較器A26から補正値として0が出力されたときは、1、2、 $\dots$ 、 $n \times m \times N - 1$ とカウントし、補正値として-2が出力されたときは、-1、0、1、2、 $\dots$ 、 $n \times m \times N - 1$ とカウントし、また、タイミングずれの累積値の絶対値が閾値Zに満たない、補正値-1の状態では、0、1、2、 $\dots$ 、 $n \times m \times N - 1$ とカウントする。従って、加算器B28では、比較器A26から出力される補正値によって、カウンタ値を $1 / (n \times m \times N)$ の幅で補正することができる。これは第2実施例におけるカウンタ値の補正刻み $1 / (n \times N)$ の $1 / m$ の大きさである。

【0060】デコーダ15は、補正付きループカウンタ23から出力された補正済のカウンタ値に基づいてフレームタイミング信号と、A/D変換器1、2、メモリA3、複素相関器4及びタイミング差検出回路10に対するタイミング信号とを出力する。カウンタ値が小さい刻みで補正される結果、これらの信号を通じて、各部の動作タイミングを、小さい刻みで制御することが可能になる。

【0061】このように、第3実施例の同期装置では、補正付きループカウンタ14のインクリメントのタイミングをA/D変換器のサンプリングレートの整数倍(実施例ではm倍)で行なうことにより、A/D変換器のサンプリングレートを変えずに、A/D変換器のサンプリングレートよりも小さい刻みでタイミング補正を行なうことができる。それにより、データの検波のタイミングの最適な時刻からのずれを小さくすることができる。

【0062】(第4実施例)同期引き込み直後では、受信機の仮定している最適タイミングと送信機の最適タイミングとの間に大きな差があるので、タイミング補正は迅速に行なわなければならない。一方、タイミング補正が行なわれた後は、動作の安定性のためにタイミング補正は緩やかに行なわなければならない。

【0063】第4実施例の同期装置は、こうした要請に応えることができる。この装置の全体構成は、第2実施例(図4)と同じであり、違いは、図8に示すように、補正付きループカウンタ14に、比較器A18の閾値を動作タイミングCによって変更する閾値更新回路31を具備している点である。

【0064】この閾値更新回路31は、図9に示すように、メモリG32とともにカウンタを構成し、動作タイミングCが入力するごとにカウンタ値を1ずつインクリメントする加算器A33と、加算器A33のカウンタ値と比較値とが一致したときに制御信号を出力する比較器34と、メモリJ38とともにカウンタを構成し、比較器34からの

制御信号に応じてカウンタ値をインクリメントする加算器B35と、加算器B35のカウンタ値をインデックスとして閾値を出力するメモリH36と、加算器B35のカウンタ値をインデックスとして比較器34の比較値を出力するメモリI37とを備えている。

【0065】いま、メモリI37が、加算器B35のカウンタ値0、1、2、…に対応して、1、2、4、…を比較値として出力し、また、メモリH36が、加算器B35のカウンタ値0、1、2、…に対応して、1、2、3、…を閾値として出力するものとする。

【0066】この閾値更新回路31は、1フレームに1回、動作タイミングCが入力するごとに動作する。最初の動作タイミングCが入力すると、メモリG32とともにカウンタを構成する加算器A33は、カウンタ値1を出力し、比較器34は、この加算器A33のカウンタ値1と、メモリI37から出力された当初の比較値1とを比較し、それらが一致するので加算器B35に制御信号を出力する。

【0067】メモリJ38とともにカウンタを構成する加算器B35は、この制御信号に応じて1をカウントする。メモリH36は加算器B35のカウンタ値が1に変わったため、閾値を1から2に変更し、また、メモリI37は、比較値として2を出力する。

【0068】加算器A33は、2フレーム目の動作タイミングCが入力すると、カウンタ値2を出力し、比較値34は、この値とメモリI37から出力された比較値2とが一致するので制御信号を出力し、制御信号を受けた加算器B35は、カウンタ値2を出力する。そのため、メモリH36は、閾値を3に変更し、メモリI37は、比較値4を出力する。

【0069】3フレーム目の動作タイミングCが入力すると、加算器A33はカウンタ値3を出力するが、比較値34は、この値がメモリI37から出力された比較値4と一致しないため、制御信号を出力しない。

【0070】4フレーム目の動作タイミングCが入力すると、加算器A33はカウンタ値4を出力し、比較値34は、この値が比較値4と一致するので、制御信号を出力し、加算器B35はカウンタ値3を出力する。そのため、メモリH36により閾値が更新され、また、メモリI37から新たな比較値が出力される。

【0071】このように、閾値変更回路31は、同期引き込み直後の閾値として小さい値を出力し、時間が経つに従って閾値を大きい値に変更する。

【0072】従って、この実施例の同期装置では、同期引き込み直後においては、加算器A16の出力するタイミングずれの累積値が短時間で閾値を超えるため、早い段階で比較値A18から補正値が出力され、タイミング補正が早く行なわれる。その後、時間と共に閾値が大きくなるため、比較値A18から補正値が出力される時期が遅れ、タイミング補正の間隔が長くなり、緩やかな、安定的なタイミング補正に移行する。

【0073】(第5実施例)第5実施例の同期装置は、同期引き込み直後のように、受信機の仮定している最適タイミングと送信機の最適タイミングとの間に大きな差がある場合には、高速でタイミング補正を行ない、また、その差が小さい場合には、緩やかにタイミング補正を行なうことができる。

【0074】この同期装置の全体構成は、第2実施例(図4)と同じであり、ただ、タイミング差検出回路10の内部構成においてのみ違っている。このタイミング差検出回路10は、図10に示すように、タイミングずれの大きさに応じた重み係数を記憶するメモリK39と、最大値検出器13から出力されるタイミングずれ検出値とメモリK39から出力される重み係数とを乗算する乗算器40とを備えている。その他の構成は第2実施例の検出回路(図3)と変わりが無い。このメモリK39は、例えば、中心付近のインデックスに対して1以下の重み係数が対応し、中心から所定数以上離れたインデックスに対しては1以上の重み係数が対応するテーブルを記憶している。

【0075】このタイミング差検出回路10では、最大値検出器13がメモリD12に格納された相関値の最大値を検出し、それが格納された領域のインデックスをタイミングずれ検出値として出力すると、メモリK39は、記憶するテーブルに基づいて、その検出値に応じた重み係数を乗算器40に出力する。乗算器40は、最大値検出器13から出力されたタイミングずれ検出値にこの重み係数を乗算した値をタイミング差として出力する。

【0076】このタイミングずれの大きさが強調されたタイミング差検出値は、補正付きループカウンタ14に入力し、補正付きループカウンタ14の比較器A18では、このタイミング差検出値の累積値が閾値を超えたときに補正値を出力する。従って、タイミングずれが大きい場合には、この累積値が急増するため、比較器A18から速やかに補正値が出力され、迅速なタイミング補正が行なわれる。一方、タイミングずれが小さい場合には、累積値の増加が僅かになり、比較器A18からの補正値の出力が遅くなり、緩やかなタイミング補正が行なわれる。

【0077】このように第5実施例の同期装置では、タイミングずれの検出値に重み付けを行なうことにより、ずれが大きい場合には、早く補正を行ない、ずれが小さいときは安定した補正動作を行なうことができる。

【0078】

【発明の効果】以上の実施例の説明から明らかなように、本発明の同期装置は、送信機と受信機とのタイミングずれを、受信状態によらずに安定して検出することができ、また、この検出結果に基づいて、受信機のタイミングを送信機のタイミングに的確に補正することができる。

【0079】また、カウンタのインクリメントのタイミングをA/D変換器のサンプリングレートの整数倍で行な

13

うことにより、A/D変換器のサンプリングレートを変えずに、A/D変換器のサンプリングレートよりも小さい刻みで、正確なタイミング補正を行なうことができる。この場合、A/D変換器のサンプリングレートは変えていないため、高速動作の素子が不要であり、受信機の消費電力や価格の上昇をもたらさない。

【0080】また、閾値更新回路やタイミングずれの重み付け手段を設けた装置では、同期引き込みの開始直後には高速でタイミング補正を行ない、その後、安定的な補正動作に移行することができる。従って、受信機の受信状態は、速やかに適正な状態に補正され、その状態が安定的に維持される。

【図面の簡単な説明】

【図1】本発明の第1実施例における同期装置の構成を示すブロック図、

【図2】第1実施例の同期装置が同期を検出する送信信号のフレームフォーマット、

【図3】第1実施例の同期装置におけるタイミング差検出回路を示すブロック図、

【図4】本発明の第2実施例における同期装置の構成を示すブロック図、

【図5】第2実施例の同期装置における補正付きループカウンタのブロック図、

【図6】本発明の第3実施例における同期装置の構成を示すブロック図、

14

【図7】第3実施例の同期装置における補正付ループカウンタのブロック図、

【図8】本発明の第4実施例の同期装置における補正付ループカウンタのブロック図、

【図9】第4実施例の同期装置における閾値更新回路のブロック図、

【図10】本発明の第5実施例の同期装置におけるタイミング差検出回路のブロック図、

【図11】従来の同期装置の構成を示すブロック図である。

【符号の説明】

1、2 A/D変換器

3、5、8、12、17、21、25、29、32、36、37、38、39 メモリ

4 複素相関器

7、11 切換スイッチ

9、10 タイミング差検出回路

13 最大値検出回路

14、23 補正付きループカウンタ

15 デコーダ

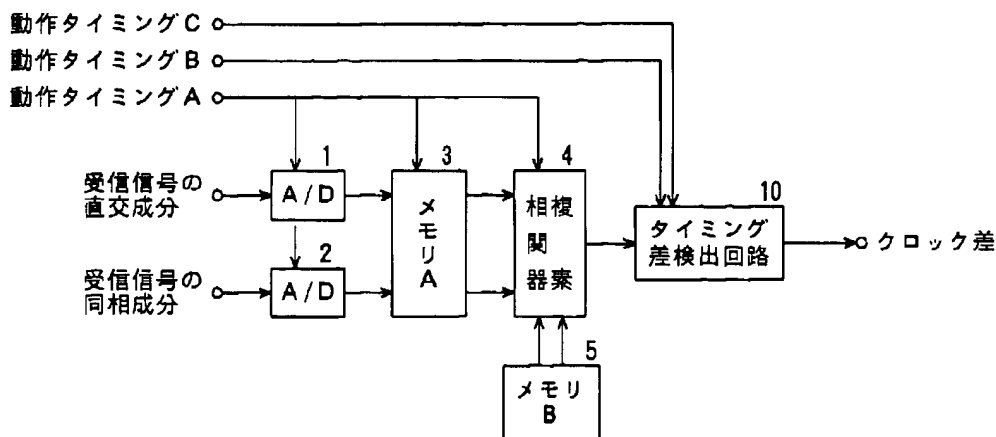
16、20、24、28、33、35 加算器

18、22、26、30、34 比較器

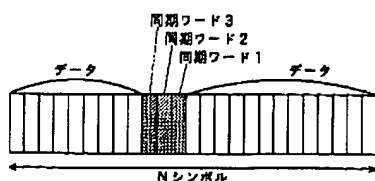
31 閾値更新回路

40 乗算器

【図1】

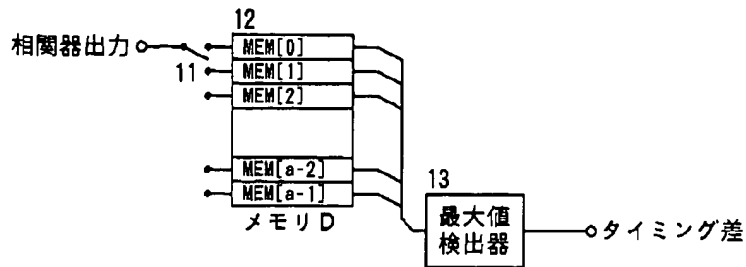


【図2】

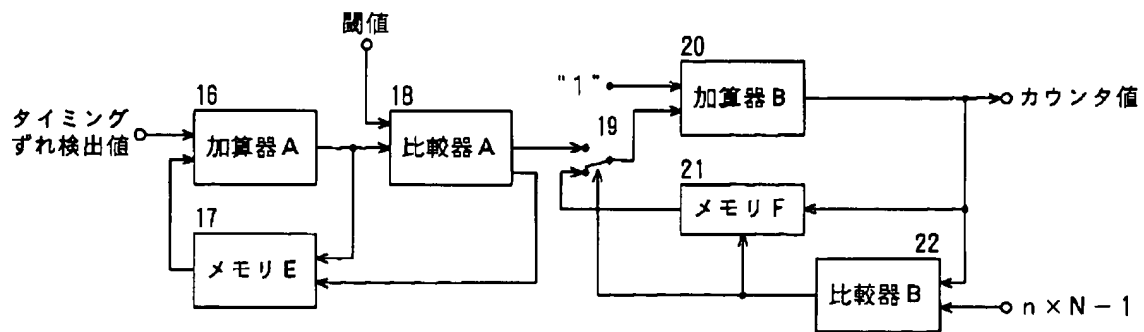




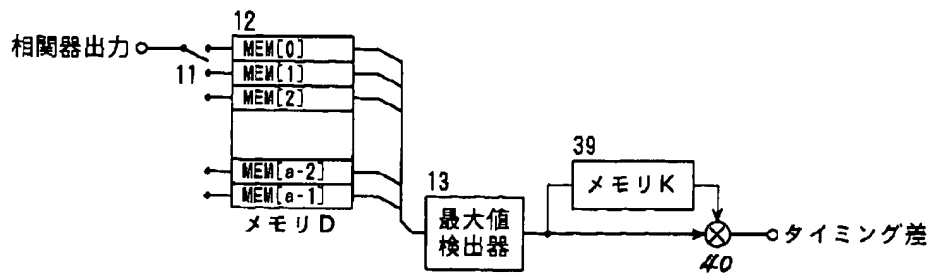
【図3】



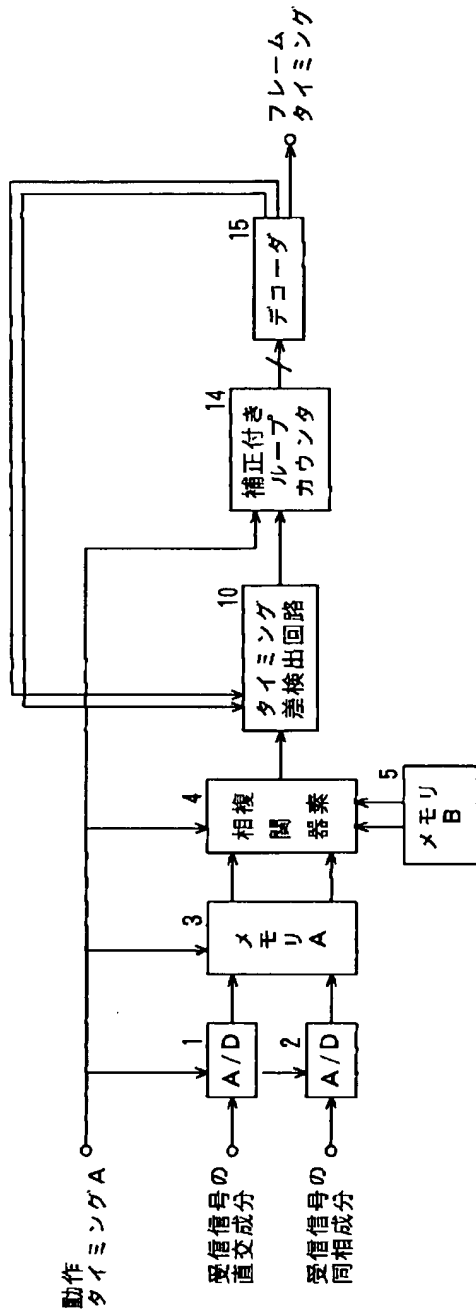
【図5】



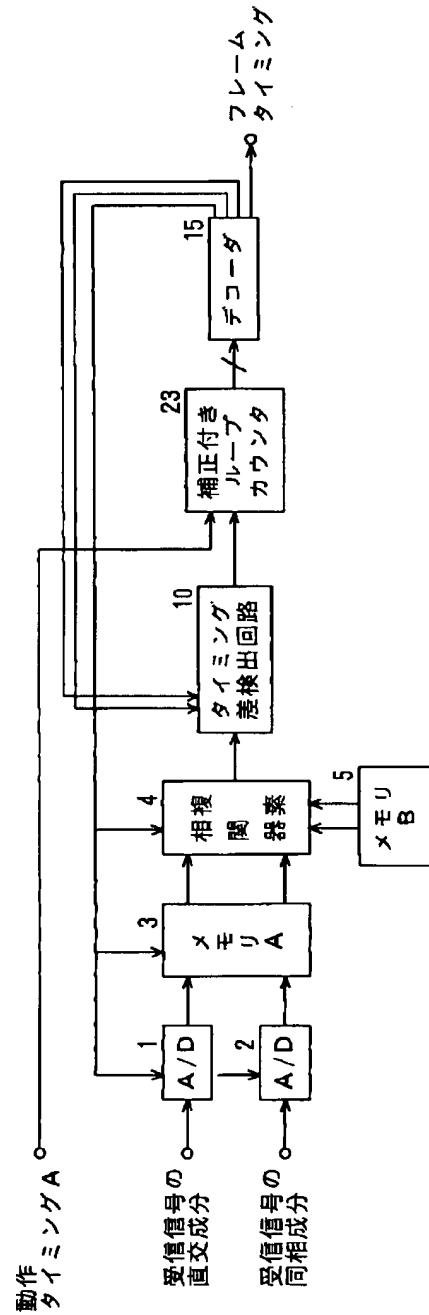
【図10】



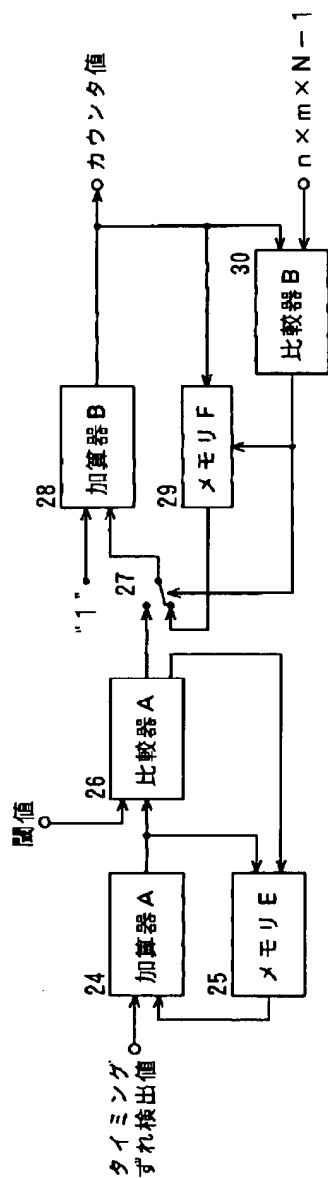
【図4】



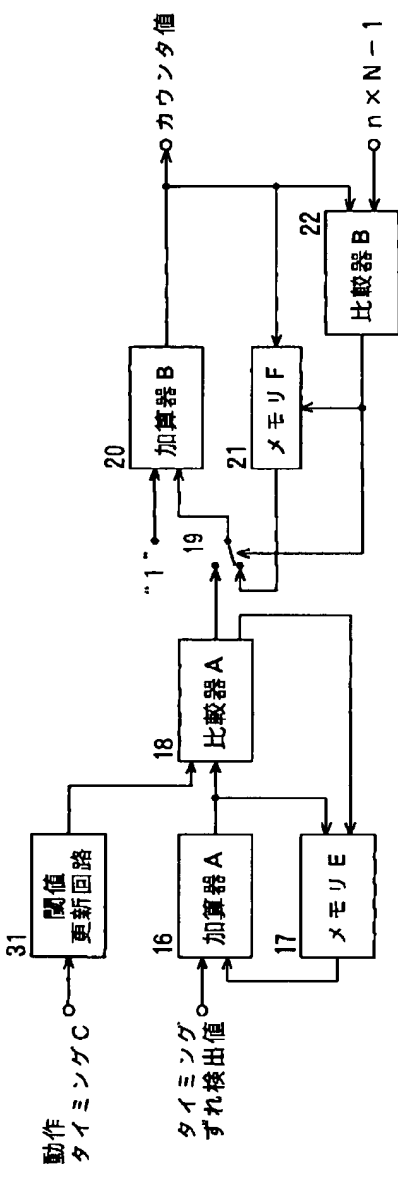
【図6】



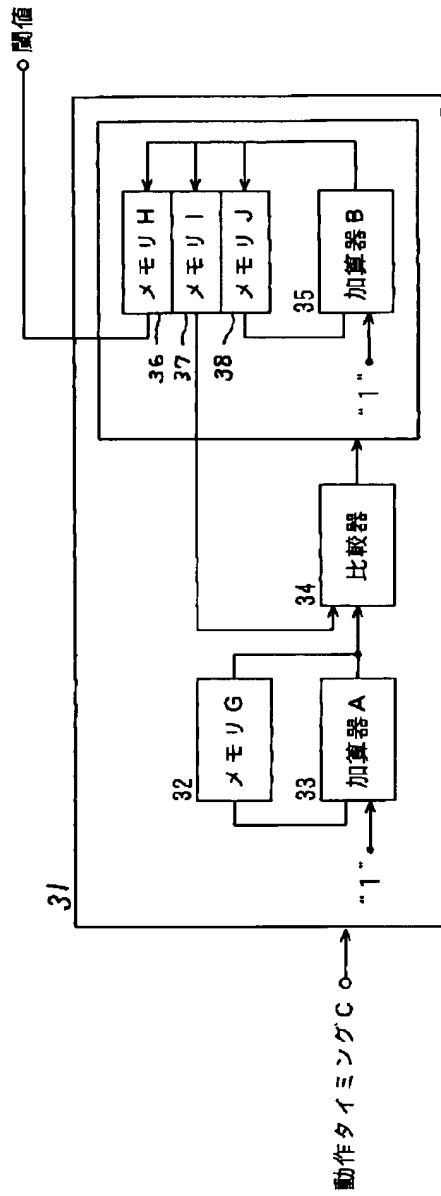
【図7】



【図8】



【図9】



【図11】

